

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

7/5/1 (Item 1 from file: 351)

DIALOG(R) File 351:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

011014437 **Image available**

WPI Acc No: 1996-511387/199651

XRPX Acc No: N96-431224

Non-volatile memory element mfg method e.g. for flash memory - involves forming bit line connected with pad layer through contact hole, in second electric conduction layer

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU)

Inventor: KIM K

Number of Countries: 004 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8264737	A	19961011	JP 9656245	A	19960313	199651 B
TW 297163	A	19970201	TW 96102964	A	19960312	199720
US 5741719	A	19980421	US 96615064	A	19960313	199823
			US 97789533	A	19970127	
US 5834807	A	19981110	US 96615064	A	19960313	199901
KR 161399	B1	19981201	KR 955146	A	19950313	200032

Priority Applications (No Type Date): KR 955146 A 19950313

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 8264737	A		17	H01L-027/115	
TW 297163	A			H01L-027/112	
US 5741719	A	29		H01L-021/8247	Div ex application US 96615064
US 5834807	A			H01L-029/76	
KR 161399	B1			H01L-027/115	

Abstract (Basic): JP 8264737 A

The method involves forming a floating gate and a control gate which are shared by a source (400) and a drain (300). A first rod shaped electric conduction layer (66) and a second rod shaped electric conduction layer (69) are connected to the source and the drain respectively.

A bit line connected with a pad layer through a contact hole is formed in the second electric conduction layer.

ADVANTAGE - Improves integration density easily. Avoids need for embedding tungsten. Prevents incorrect connection. Reduces depth of contact hole.

Dwg.3/23

Title Terms: NON; VOLATILE; MEMORY; ELEMENT; MANUFACTURE; METHOD; FLASH; MEMORY; FORMING; BIT; LINE; CONNECT; PAD; LAYER; THROUGH; CONTACT; HOLE; SECOND; ELECTRIC; CONDUCTING; LAYER

Derwent Class: U12; U13; U14

International Patent Class (Main): H01L-021/8247; H01L-027/112; H01L-027/115; H01L-029/76

International Patent Class (Additional): H01L-029/788; H01L-029/792; H01L-031/00

File Segment: EPI

7/5/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

05309237

NONVOLATILE MEMORY DEVICE AND ITS MANUFACTURE

PUB. NO.: 08-264737 JP 8264737 A]

PUBLISHED: October 11, 1996 (19961011)

INVENTOR(s): KIN TAKEHIDE

APPLICANT(s): SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or Corporation), KR (Korea) Republic of

APPL. NO.: 08-056245 [JP 9656245]
FILED: March 13, 1996 (19960313)
PRIORITY: 9505146 [KR 955146], KR (Korea) Republic of, March 13, 1995
(19950313)
INTL CLASS: [6] H01L-027/115; H01L-021/8247; H01L-029/788; H01L-029/792
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 45.2
(INFORMATION PROCESSING -- Memory Units)
JAPIO KEYWORD: R100 (ELECTRONIC MATERIALS -- Ion Implantation)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-264737

(43)公開日 平成8年(1996)10月11日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/115		H 0 1 L 27/10	4 3 4
	21/8247		29/78	3 7 1
	29/788			
	29/792			

審査請求 未請求 請求項の数17 O L (全 17 頁)

(21)出願番号 特願平8-56245

(22)出願日 平成8年(1996)3月13日

(31)優先権主張番号 1 9 9 5 P 5 1 4 6

(32)優先日 1995年3月13日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 金 建秀

大韓民国京畿道水原市八達区牛溝2洞29番

地住公アパート208棟1104号

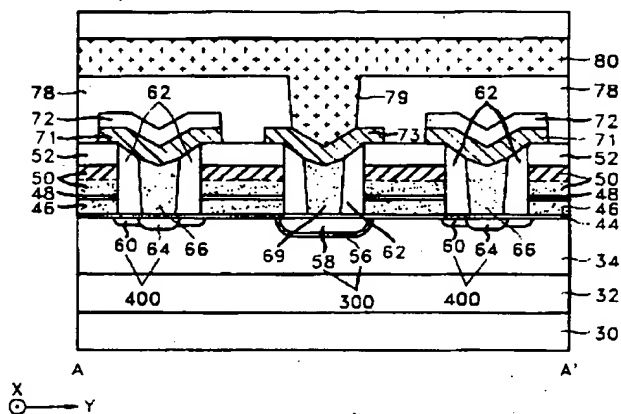
(74)代理人 弁理士 服部 雅紀

(54)【発明の名称】 不揮発性メモリ素子及びその製造方法

(57)【要約】

【課題】 不揮発性メモリ素子及びその製造方法を提供する。

【解決手段】 第1方向に隣接するセルトランジスタと共有するソース400及びドレイン300、セルトランジスタに限定される浮遊ゲート及び第2方向に隣接するセルトランジスタと共有する制御ゲートより構成されるセルトランジスタ、第2方向に隣接するセルトランジスタのソースが互いに連結されるように、第2方向の長棒状の第1埋設導電層66、各セルトランジスタのドレインとそれぞれ接続されている第2埋設導電層69、第1埋設導電層上に第1埋設導電層と接続されるように第2方向に長棒状で形成された共通ソース線、第2埋設導電層上に、各セルトランジスタに限定されるように形成されたパッド層及びコンタクトホールを通してパッド層と連結されるビットラインとを含むことを特徴とする。したがって、メモリ素子の集積度の向上を容易に達成しうる。



【特許請求の範囲】

【請求項 1】 第 1 方向に隣接するセルトランジスタと共有するソース及びドレイン、各セルトランジスタに限定される浮遊ゲート及び第 2 方向に隣接するセルトランジスタと共有する制御ゲートより構成されるセルトランジスタと、

第 2 方向に隣接するセルトランジスタのソースが互いに連結されるように、前記第 2 方向に長棒状で形成された第 1 埋設導電層と、

各セルトランジスタのドレインとそれぞれ接続されている第 2 埋設導電層と、

前記第 1 埋設導電層上に、前記第 1 埋設導電層と接続されるように第 2 方向に長棒状で形成された共通ソース線と、

前記第 2 埋設導電層上に、各セルトランジスタに限定されるように形成されたパッド層と、

コンタクトホールを通して前記パッド層と連結されるビットラインとを含むことを特徴とする不揮発性メモリ素子。

【請求項 2】 前記第 1 及び第 2 埋設導電層は不純物のドーパされた多結晶シリコンで形成されていることを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 3】 前記共通ソース線とパッド層はシリサイドで形成されていることを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 4】 前記シリサイドはタングステンシリサイドであることを特徴とする請求項 3 に記載の不揮発性メモリ素子。

【請求項 5】 前記ドレインは、第 2 導電型の第 1 高濃度不純物層と、前記第 2 導電型の第 1 高濃度不純物を取り囲む第 1 導電型の低濃度不純物層とで形成されていることを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 6】 前記ソースは、第 2 導電型の低濃度不純物層と、前記第 2 導電型の低濃度不純物層と部分的に重畳される第 2 導電型の第 2 高濃度不純物層で形成されていることを特徴とする請求項 1 に記載の不揮発性メモリ素子。

【請求項 7】 第 1 方向に隣接するセルトランジスタと共有するソース及びドレイン、各セルトランジスタに限定される浮遊ゲート及び第 2 方向に隣接するセルトランジスタと共有する制御ゲートより構成されたセルトランジスタを形成する第 1 段階と、

前記第 1 段階後の結果物上に各セルトランジスタ間の溝を埋め込むように第 1 導電層を形成する第 2 段階と、

前記第 1 導電層をエッチバックして前記溝にのみ第 1 導電層を埋め込む第 3 段階と、

前記第 3 段階後の結果物上に第 2 導電層を形成する第 4 段階と、

前記第 2 導電層上に第 1 絶縁膜を形成する第 5 段階と、

前記絶縁膜をパタニングすることにより第 2 方向に隣接するセルトランジスタのソースを含むように第 2 方向に長棒状の第 1 絶縁膜パターンを形成する第 6 段階と、各セルトランジスタのドレイン上に、隣接するセルトランジスタとは分離される形態の第 1 感光膜パターンを形成する第 7 段階と、

前記第 1 絶縁膜パターン及び第 1 感光膜パターンを食刻マスクとして前記第 1 導電層及び第 2 導電層を食刻することにより前記第 2 方向に隣接するセルトランジスタのソースを連結させる前記第 1 導電層よりなる第 1 埋設導電層と、前記第 1 埋設導電層と平行な前記第 2 導電層よりなる共通ソース線と、各セルトランジスタのドレインとそれぞれ接続する前記第 1 導電層よりなる第 2 埋設導電層及び前記第 2 埋設導電層と接続する前記第 2 導電層よりなるパッド層を形成する第 8 段階とを含むことを特徴とする不揮発性メモリ素子の製造方法。

【請求項 8】 前記第 8 段階以後に層間絶縁層を形成する第 9 段階、前記パッド層を露出させるコンタクトホールを前記層間絶縁層に形成する第 10 段階及びコンタクトホールを通して前記パッド層と接続するビットラインを形成する第 11 段階を追加することを特徴とする請求項 7 に記載の不揮発性メモリ素子の製造方法。

【請求項 9】 前記第 1 導電層として不純物のドーパされた多結晶シリコンを使用し、前記第 2 導電層としてはシリサイド物質を使用することを特徴とする請求項 7 に記載の不揮発性メモリ素子の製造方法。

【請求項 10】 前記シリサイド物質としてタングステンシリサイドを使用することを特徴とする請求項 9 に記載の不揮発性メモリ素子の製造方法。

【請求項 11】 前記第 1 段階は、半導体基板を活性領域と非活性領域に分けるフィールド酸化膜を形成する段階と、前記活性領域の半導体基板上にゲート絶縁膜を形成する段階と、

前記ゲート絶縁膜を含む結果物上に第 3 導電層を形成する段階と、

前記第 3 導電層をパタニングすることにより、第 1 方向に長棒状の浮遊ゲートパターンを形成する段階と、

浮遊ゲートパターンが形成された結果物の全面に誘電体膜、第 4 導電層及び第 5 導電層を順次に積層する段階と、

前記浮遊ゲートパターン、誘電体膜、第 4 導電層及び第 5 導電層を第 2 方向に長棒状でパタニングすることにより、各セルトランジスタに限定された浮遊ゲートと第 2 方向に隣接するセルトランジスタと共有される制御ゲートを形成する段階と、

ドレインが形成される領域の半導体基板を露出させる第 2 感光膜パターンを形成する段階と、

第 1 導電型の不純物を低濃度で注入した後、第 2 導電型の不純物を第 1 高濃度で注入することにより第 1 方向に

隣接するセルトランジスタと共有される、第2導電型の第1高濃度不純物層と前記第2導電型の第1高濃度不純物層を取り囲む第1導電型の低濃度不純物層より構成されるドレインを形成する段階と、

前記第2感光膜パターンを取り除く段階と、

前記第2感光膜パターンを取り除いた半導体基板の全面に第2導電型の不純物を低濃度で注入する段階と、

低濃度不純物を注入した結果物の全面に第2絶縁膜を形成した後、これを異方性食刻することにより各セルトランジスタのゲート側壁にスペーサを形成する段階と、
10 スペーサが形成されている半導体の全面に第2導電型の不純物を第2高濃度で注入することにより第1方向に隣接するセルと共有される、第2導電型の第2高濃度不純物層と前記第2導電型の第2高濃度不純物と部分的に重畳される第2導電型の低濃度不純物層より構成されるソースを形成する段階とを含めてなることを特徴とする請求項7に記載の不揮発性メモリ素子の製造方法。

【請求項12】 前記第3及び第4導電層として不純物のドーパされた多結晶シリコン層を使用し、前記第5導電層としてタングステンシリサイドを使用することを特徴とする請求項11に記載の不揮発性メモリ素子の製造方法。

【請求項13】 前記第1導電型の不純物はP型の不純物であり、前記第2導電型の不純物はN型の不純物であることを特徴とする請求項11に記載の不揮発性メモリ素子の製造方法。

【請求項14】 ドレインを形成する前記段階中、第1導電型の不純物イオンを低濃度で注入する前記段階では、ボロンイオンを $1.0 \times 10^{13} \sim 1.0 \times 10^{14}$ イオン/cm²のドーズ、約50～150keVのエネルギーで注入し、第2導電型の不純物を第1高濃度で注入する前記段階では、砒素イオンを $1.0 \times 10^{15} \sim 6.0 \times 10^{14}$ イオン/cm²のドーズ、略30～80keVのエネルギーで注入することを特徴とする請求項13に記載の不揮発性メモリ素子の製造方法。

【請求項15】 ソースを形成する前記段階中、第2導電型の不純物を低濃度で注入する前記段階では、リンイオンを $1.0 \times 10^{13} \sim 5.0 \times 10^{13}$ イオン/cm²のドーズ、略30～80keVのエネルギーで注入し、第2導電型の不純物を第2高濃度で注入する前記段階では、砒素イオンを 6.0×10^{15} イオン/cm²のドーズ、略30～100keVのエネルギーで注入することを特徴とする請求項13に記載の不揮発性メモリ素子の製造方法。

【請求項16】 前記浮遊ゲートパターン、誘電体膜、第4導電層及び第5導電層をパタニングする前記段階は、

前記第5導電層上に第3絶縁膜を形成する段階と、

前記第3絶縁膜上に感光膜を塗布した後、写真工程を行い第2方向に長棒状の制御ゲートの形成のための第3感光膜パターンを形成する段階と、

前記第3感光膜パターンを食刻マスクとして前記第3絶縁膜を異方性食刻することにより制御ゲート形成のための第3絶縁膜パターンを形成する段階と、

前記第3絶縁膜パターンを食刻マスクとして前記第5導電層、第4導電層、誘電体膜、第3導電層を異方性食刻する段階とを含むことを特徴とする請求項11に記載の不揮発性メモリ素子の製造方法。

【請求項17】 第1方向に隣接するセルトランジスタと共有するソース及びドレイン、セルトランジスタに限定された浮遊ゲート及び第2方向に隣接するセルトランジスタと共有する制御ゲートより構成されるセルトランジスタを形成する第1段階と、

前記セルトランジスタを形成した後の結果物上に各セルトランジスタ間の溝を埋め込むように第1導電層を形成する第2段階と、

前記第1導電層をエッチバックして前記溝にのみ第1導電層を埋め込む第3段階と、

前記埋め込む段階後の結果物上に第2導電層を形成する第4段階と、

20 前記第2導電層上に第1絶縁膜を形成する第5段階と、
前記第1絶縁膜を食刻することにより各セルトランジスタのドレイン上に各セルトランジスタに限定される第1絶縁膜パターンを形成する第6段階と、

前記第1絶縁膜が形成された結果物の全面上に感光膜を塗布する第7段階と、

第2方向に隣接するソースを含むように第2方向に長棒状の第1感光膜パターンを形成する第8段階と、

前記第1絶縁膜パターン及び第1感光膜パターンを食刻マスクとして前記第2導電層及び第1導電層を食刻することにより第2方向に隣接するセルトランジスタのソースを連結する前記第1導電層よりなる第1埋設導電層と、前記第1埋設導電層と平行な前記第2導電層よりなる共通ソース線、各セルトランジスタのドレインと接続する前記第1導電層よりなる第2埋設導電層及び前記第2埋設導電層と接続する前記第2導電層よりなるパッド層を形成する第9段階とを含むことを特徴とする不揮発性メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

40 【発明の属する技術分野】本発明は不揮発性メモリ素子及びその製造方法に係り、特に集積度を向上させる不揮発性メモリ素子及びその製造方法に関する。

【0002】

50 【従来の技術】フラッシュメモリ (flash memory) のような不揮発性メモリにおいて、一般にソース/ドレイン及び浮遊ゲートと制御ゲートを有するゲート電極より構成される一つのトランジスタは一つのメモリセルトランジスタを構成する。ここで、浮遊ゲートはデータを貯蔵する役割を行い、制御ゲートはその浮遊ゲートを制御する役割を果たす。

【0003】このようなフラッシュメモリに対する技術は、R. Shirotaなどにより1990年 IEDMの103ページ~106ページに記載された“A 2.5 μm^2 Memory Cell Structure for 16Mb NAND EEPROMs”に詳細に開示されている。セルトランジスタの動作は、浮遊ゲートからソース、ドレイン及びバルク（チャンネル）に電子を引き出してセルのスレショルド電圧を低下させる消去動作、ソース電位より高いゲート電位とドレイン電位を用いてチャンネルホット電子を浮遊ゲートに注射させることによりセルのスレショルド電圧を増やすプログラム動作及びセルの消去状態とプログラム状態を読む読み取り動作よりなる。

【0004】図1は従来の方法により製造された不揮発性メモリ素子を示した断面図である。図1を参照すれば、不揮発性メモリの単位セルトランジスタは、半導体基板1に形成されたソース11及びドレイン12、この間の半導体基板上に形成されて浮遊ゲート5と制御ゲート9よりなるゲート電極、ソース11上に形成された共通ソース線15、ドレイン12上に形成されたパッド層16及び埋め込まれたタングステン19を通してパッド層16と連結されたビットライン21より構成されている。

【0005】この際、前記ソース11及びドレイン12は第1方向に隣接するセルトランジスタと共有されており、前記浮遊ゲート5は各セルトランジスタに限定されており、前記制御ゲート9は第2方向に隣接するセルトランジスタと共有されており、前記共通ソース線15は第2方向に隣接するセルトランジスタのソースと共有されており、前記パッド層16は各セルトランジスタに限定されており、前記ビットライン21は第1方向に隣接するセルトランジスタのドレインと共有されている。共通ソース線15とパッド層16は自己整合接触（self-align contact; SAC）技法を用いて形成されており、ビットライン21とドレイン12を連結するコンタクトホール23はタングステン19により埋め込まれている。

【0006】前記従来の方法により製造された不揮発性メモリ素子は、自己整合接触技法を用いて共通ソース線15とパッド層16を形成することによりメモリセルの集積度の向上を図るが、第一、共通ソース線15とパッド層16は同一な写真食刻で形成されるので、この間隔はデザインルールにより限定される。即ち、メモリ素子の集積度を向上させるためには単位セルトランジスタ間の間隔及び要素間の間隔を出来るかぎり縮めるべきであるが、同一な写真食刻工程で形成される共通ソース線15とパッド層16との間隔を縮めるには制限がある。

【0007】第二、パッド層16上にビットライン21とドレイン12を接続させるためのコンタクトホール23を形成するとき、形成されるべきコンタクトホールが深いので（図1参照）、コンタクトホール23が完全に

開放されない場合が生じうる。これは接続失敗を誘発してメモリ素子の誤動作をもたらす。第三、タングステンにてコンタクトホール23を埋め込むために、タングステンを過度に蒸着するので、パチクルの発生による良好な収率が得にくく、埋め込まれたタングステン19によりセルトランジスタに印加される物理的なストレスによるセルトランジスタの特性低下の恐れがある。

【0008】

【発明が解決しようとする課題】本発明の目的は前記従来の問題点を解決する不揮発性メモリ素子を提供することにある。本発明の他の目的は前記不揮発性メモリ素子の製造において好適な製造方法を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するために本発明による不揮発性メモリ素子は、第1方向に隣接するセルトランジスタと共有するソース及びドレイン、各セルトランジスタに限定される浮遊ゲート及び第2方向に隣接するセルトランジスタと共有する制御ゲートより構成されるセルトランジスタと、第2方向に隣接するセルトランジスタのソースが互いに連結されるように、前記第2方向に長棒状で形成された第1埋設導電層と、各セルトランジスタのドレインとそれぞれ接続されている第2埋設導電層と、前記第1埋設導電層上に、前記第1埋設導電層と接続されるように第2方向に長棒状で形成された共通ソース線と、前記第2埋設導電層上に、各セルトランジスタに限定されるように形成されたパッド層と、コンタクトホールを通して前記パッド層と連結されるビットラインとを含むことを特徴とする。

【0010】本発明による不揮発性メモリ素子において、前記第1及び第2埋設導電層は不純物のドーピングされた多結晶シリコンで形成し、前記共通ソース線とパッド層はシリサイドで形成することが望ましい。この際、前記シリサイドはタングステンシリサイドであることが望ましい。本発明による不揮発性メモリ素子において、前記ドレインは、第2導電型の第1高濃度不純物層と、前記第2導電型の第1高濃度不純物を取り囲む第1導電型の低濃度不純物層で形成されていることが望ましく、前記ソースは、第2導電型の低濃度不純物層と、前記第2導電型の低濃度不純物層と部分的に重畳される第2導電型の第2高濃度不純物層で形成されていることが望ましい。

【0011】前記他の目的を達成するために本発明の一実施例による不揮発性メモリ素子の製造方法は、第1方向に隣接するセルトランジスタと共有するソース及びドレイン、各セルトランジスタに限定される浮遊ゲート及び第2方向に隣接するセルトランジスタと共有する制御ゲートより構成されたセルトランジスタを形成する第1段階と、前記第1段階後の結果物上に各セルトランジスタ間の溝を埋め込むように第1導電層を形成する第2段階と、前記第1導電層をエッチバックして前記溝にのみ

第1導電層を埋め込む第3段階と、前記第3段階後の結果物上に第2導電層を形成する第4段階と、前記第2導電層上に第1絶縁膜を形成する第5段階と、前記絶縁膜をパタニングすることにより第2方向に隣接するセルトランジスタのソースを含むように第2方向に長棒状の第1絶縁膜パターンを形成する第6段階と、各セルトランジスタのドレイン上に、隣接するセルトランジスタとは分離される形態の第1感光膜パターンを形成する第7段階と、前記第1絶縁膜パターン及び第1感光膜パターンを食刻マスクとして前記第1導電層及び第2導電層を食刻することにより前記第2方向に隣接するセルトランジスタのソースを連結させる前記第1導電層よりなる第1埋込導電層と、前記第1埋込導電層と平行な前記第2導電層よりなる共通ソース線と、各セルトランジスタのドレインとそれぞれ接続する前記第1導電層よりなる第2埋込導電層及び前記第2埋込導電層と接続する前記第2導電層よりなるパッド層を形成する第8段階とを含むことを特徴とする。

【0012】本発明による不揮発性メモリ素子の製造方法において、前記第8段階以後に層間絶縁層を形成する第9段階、前記パッド層を露出させるコンタクトホールを前記層間絶縁層に形成する第10段階及びコンタクトホールを通して前記パッド層と接続するビットラインを形成する第11段階を追加することが望ましい。本発明による不揮発性メモリ素子の製造方法において、前記第1導電層として不純物のドーパされた多結晶シリコンを使用し、前記第2導電層としてはシリサイド物質を使用することが望ましく、この際、前記シリサイド物質としてはタングステンシリサイドを使用することが望ましい。

【0013】本発明による不揮発性メモリ素子の製造方法において、前記第1段階は、半導体基板を活性領域と非活性領域に分けるフィールド酸化膜を形成する段階と、前記活性領域の半導体基板上にゲート絶縁膜を形成する段階と、前記ゲート絶縁膜を含む結果物上に第3導電層を形成する段階と、前記第3導電層をパタニングすることにより、第1方向に長棒状の浮遊ゲートパターンを形成する段階と、浮遊ゲートパターンが形成された結果物の全面に誘電体膜、第4導電層及び第5導電層を順次に積層する段階と、前記浮遊ゲートパターン、誘電体膜、第4導電層及び第5導電層を第2方向に長棒状でパタニングすることにより、各セルトランジスタに限定された浮遊ゲートと第2方向に隣接するセルトランジスタと共有される制御ゲートを形成する段階と、ドレインが形成される領域の半導体基板を露出させる第2感光膜パターンを形成する段階と、第1導電型の不純物を低濃度で注入した後、第2導電型の不純物を第1高濃度で注入することにより第1方向に隣接するセルトランジスタと共有される、第2導電型の第1高濃度不純物層と前記第2導電型の第1高濃度不純物層を取り囲む第1導電型の低濃度不純物層より構成されるドレインを形成する段階

と、前記第2感光膜パターンを取り除く段階と、前記第2感光膜パターンを取り除いた半導体基板の全面に第2導電型の不純物を低濃度で注入する段階と、低濃度不純物を注入した結果物の全面に第2絶縁膜を形成した後、これを異方性食刻することにより各セルトランジスタのゲート側壁にスペーサを形成する段階と、スペーサが形成されている半導体の全面に第2導電型の不純物を第2高濃度で注入することにより第1方向に隣接するセルと共有される、第2導電型の第2高濃度不純物層と前記第2導電型の第2高濃度不純物と部分的に重畳される第2導電型の低濃度不純物層より構成されるソースを形成する段階とを含めてなることが望ましい。

【0014】前記第3及び第4導電層として不純物のドーパされた多結晶シリコン層を使用し、前記第5導電層としてタングステンシリサイドを使用することが望ましい。前記第1導電型の不純物はP型の不純物であり、前記第2導電型の不純物はN型の不純物であることが望ましい。この際、ドレインを形成する前記段階中、第1導電型の不純物イオンを低濃度で注入する前記段階では、ボロンイオンを $1.0 \times 10^{13} \sim 1.0 \times 10^{14}$ イオン/cm²のドーズ、約50～150keVのエネルギーで注入し、第2導電型の不純物を第1高濃度で注入する前記段階では、砒素イオンを $1.0 \times 10^{15} \sim 6.0 \times 10^{14}$ イオン/cm²のドーズ、略30～80keVのエネルギーで注入することが望ましい。

【0015】ソースを形成する前記段階中、第2導電型の不純物を低濃度で注入する前記段階では、燐イオンを $1.0 \times 10^{13} \sim 5.0 \times 10^{13}$ イオン/cm²のドーズ、略30～80keVのエネルギーで注入し、第2導電型の不純物を第2高濃度で注入する前記段階では、砒素イオンを 6.0×10^{15} イオン/cm²のドーズ、略30～100keVのエネルギーで注入することが望ましい。

【0016】本発明による不揮発性メモリ素子の製造方法において、前記浮遊ゲートパターン、誘電体膜、第4導電層及び第5導電層をパタニングする前記段階は、前記第5導電層上に第3絶縁膜を形成する段階と、前記第3絶縁膜上に感光膜を塗布した後、写真工程を行い第2方向に長棒状の制御ゲートの形成のための第3感光膜パターンを形成する段階と、前記第3感光膜パターンを食刻マスクとして前記第3絶縁膜を異方食刻することにより制御ゲート形成のための第3絶縁膜パターンを形成する段階と、前記第3絶縁膜パターンを食刻マスクとして前記第5導電層、第4導電層、誘電体膜、第3導電層を異方性食刻する段階とより行われることが望ましい。

【0017】前記他の目的を達成するために本発明の他の実施例による不揮発性メモリ素子の製造方法は、第1方向に隣接するセルトランジスタと共有するソース及びドレイン、セルトランジスタに限定された浮遊ゲート及び第2方向に隣接するセルトランジスタと共有する制御ゲートより構成されるセルトランジスタを形成する第1

段階と、前記セルトランジスタを形成した後の結果物上に各セルトランジスタ間の溝を埋め込むように第1導電層を形成する第2段階と、前記第1導電層をエッチバックして前記溝にのみ第1導電層を埋め込む第3段階と、前記埋め込む段階後の結果物上に第2導電層を形成する第4段階と、前記第2導電層上に第1絶縁膜を形成する第5段階と、前記第1絶縁膜を食刻することにより各セルトランジスタのドレイン上に各セルトランジスタに限定される第1絶縁膜パターンを形成する第6段階と、前記第1絶縁膜が形成された結果物の全面上に感光膜を塗布する第7段階と、第2方向に隣接するソースを含むように第2方向に長棒状の第1感光膜パターンを形成する第8段階と、前記第1絶縁膜パターン及び第1感光膜パターンを食刻マスクとして前記第2導電層及び第1導電層を食刻することにより第2方向に隣接するセルトランジスタのソースを連結する前記第1導電層よりなる第1埋設導電層と、前記第1埋設導電層と平行な前記第2導電層よりなる共通ソース線、各セルトランジスタのドレインと接続する前記第1導電層よりなる第2埋設導電層及び前記第2埋設導電層と接続する前記第2導電層よりなるパッド層を形成する第9段階とを含むことを特徴とする。

【0018】

【発明の実施の形態】以下、添付した図面に基づき本発明をさらに詳細に説明する。図2において、一点鎖線で示されたY軸に長い長方形は半導体基板を活性領域及び非活性領域に限定するフィールド酸化膜形成のためのマスクパターン110を、二線鎖線で示されたY軸に長い長方形は浮遊ゲートパターン形成のためのマスクパターン120を、点線で示されたX軸に長い長方形は制御ゲート形成のためのマスクパターン130を、そして、実線で示されたX軸に長い長方形はドレイン形成のためのマスクパターン140をそれぞれ示す。前記図2において、マスリックス状の太い点線に限定された長方形(F)は浮遊ゲートを示す。

【0019】図3において、一点鎖線で示されたX軸に長い長方形(G)は埋め込まれた導電層を示し、実線で示されたX軸に長い長方形は共通ソース線形成のためのマスクパターン150を示す。図4において、実線で示されてその内部に斜線の引かれた四角形はパッド層の形成のためのマスクパターン160を示す。

【0020】図5において、一点鎖線で示されてその内部に対角線の引かれた四角形はコンタクトホール形成のためのマスクパターン170を示し、実線で示されたY軸に長い長方形はビットライン形成のためのマスクパターン180を示す。図6及び図7は本発明の第1実施例により製造された不揮発性メモリ素子を示した断面図であり、前記図6は図5のAA'線による断面図であり、前記図7は図5のB-C-D-E線による断面図である。

【0021】ゲート電極は各セルトランジスタに限定された浮遊ゲート46とX軸方向に隣接するセルトランジスタと共有される制御ゲート50より構成され、ドレイン300はP型の低濃度不純物層56とN型の第1高濃度不純物層58より構成され、ソース400はN型の低濃度不純物層60とN型の第2高濃度不純物層64より構成される。この際、前記ソース400及びドレイン300はY軸方向に隣接するセルトランジスタと共有される。

10 【0022】第1埋設導電層66はX方向に隣接するセルトランジスタ400と共有されるようにX方向に長棒状で形成されており、第2埋設導電層69は各セルトランジスタのドレイン300とそれぞれ接続するように各セルトランジスタごとに一つずつ形成されている。かつ、共通ソース線71はX方向に隣接するセルトランジスタと共有されるように前記第1埋設導電層66上に形成されており、パッド層73は各セルトランジスタの前記第2埋設導電層69と接続されるように各セルトランジスタごとに一つずつ形成されている。ビットライン80はコンタクトホール79を通して前記パッド層73と接続する。

20 【0023】図面符号30はP型の半導体基板を、32はN型のウェルを、34はP型のポケットウェルを、43はフィールド酸化膜を、44はゲート絶縁膜を示す。本発明による不揮発性メモリ素子によれば、共通ソース線71は絶縁膜72を食刻マスクとした食刻工程で形成され、パッド層73は感光膜パターン(図示せず)を食刻マスクとする食刻工程で形成される。したがって、前記共通ソース線71とパッド層73との間隔はデザインルールにより限定されないため、メモリセルの縮小が容易になる。

30 【0024】かつ、各セルトランジスタの間、即ち、ソース400及びドレイン300上には第1及び第2埋設導電層66、69が形成されている。これはビットライン80をドレイン300に接続させるためのコンタクトホール79を形成するとき、コンタクトホール79の深さを浅くするので、誤接続などの問題を引き起こさない。

【0025】

40 【第1実施例】前記図2乃至図5、前記図8乃至図22及び図9乃至図23に基づき本発明の第1実施例の方法を説明する。まず、図8及び図9は半導体基板30を活性領域及び非活性領域に限定するためのフィールド酸化膜(図示せず)を形成する段階を示したものであり、これは第1導電型の半導体基板30に第2導電型のウェル32を形成する第1段階、前記第2導電型のウェル32内に第1導電型のポケットウェル34を形成する第2段階、前記第2段階後の結果物上にパッド酸化膜36、多結晶シリコン膜38及び窒化膜40を積層する第3段階、前記窒化膜40上に感光膜を塗布した後、前記図2

のマスクパターン110を用いた写真工程を行うことにより活性領域となる領域のみを覆う第1感光膜パターン42を形成する第4段階、前記第1感光膜パターン42を食刻マスクとして露出された前記窒化膜40を完全に切り除く第5段階及び前記第1感光膜パターン42を食刻マスクとして露出された前記多結晶シリコン38を所定の深さで食刻する第6段階とを含む。

【0026】本発明の一実施例による不揮発性メモリ素子のセルアレイはP型のポケットウェル34、N型のウェル32及びP型の半導体基板30より構成される三重ウェル内に位置する。N型のウェル32はP型の半導体基板30に6 μ m \sim 8 μ mの深さに形成され、前記P型の半導体基板30とは電気的に分離されたP型のポケットウェル34はN型のウェル32に3 μ m \sim 4 μ mの深さに形成される。

【0027】前記三重ウェルの形成方法は一般に普遍化された技術なので、具体的な説明は省く。P型のポケットウェル34はメモリ素子の消去動作時、高電圧が印加されるので、P型の半導体基板30とは電気的に分離されなければならない。また、フィールド酸化膜は一般に緩衝されたLOCOS (buffered local-oxide-on-silicon) 工程を用いて形成される。

【0028】本発明の一実施例では、前記パッド酸化膜36を240Å程度の厚さに形成し、前記多結晶シリコン38を1000Å程度の厚さに形成し、前記窒化膜40を1500Å程度の厚さに形成した。前記第6段階後、第1感光膜パターン42を取り除く第7段階、前記第1感光膜パターンの取り除かれた半導体基板の全面に、例えば、ボロニオンのようなN型の不純物イオンを、1.0E13 \sim 1.0E14イオン/cm²のドーズに、50keVのエネルギーで注入してNチャンネルストッパ（図示せず）を形成する第8段階及び酸化雰囲気中、約6000Å程度厚さのフィールド酸化膜（図11の43）を形成する第9段階を行う。

【0029】図8乃至図22に示された方位表示“丸”は紙面の下側から紙面の上方へ方向（即ち、X方向）を示し、“→”は紙面の左側から紙面の右側へ方向（即ち、Y方向）を示し、図2乃至図5に示された方位表示と一致する。即ち、図8乃至図22におけるX軸方向は図2乃至図5のX軸方向と一致する。図10及び図11はゲート絶縁膜44、浮遊ゲート46、誘電体膜48、制御ゲート50およびドレイン300を形成する段階を示したものであり、これはフィールド酸化膜43を形成した後、半導体基板30上に積層されている物質を除く第1段階、ゲート絶縁膜44を形成する第2段階、前記ゲート絶縁膜44上に第1導電層（以後の工程により浮遊ゲートパターンとなる）を形成する第3工程、図2のマスクパターン120を用いた写真食刻工程で前記第1導電層を食刻することにより浮遊ゲートパターン（以後の工程により浮遊ゲート46となる）を形成する

第4段階、前記第4段階から得た結果物の全面に誘電体物質層（以後の工程により誘電体膜48となる）を形成する第5段階、前記誘電体物質層上に第2及び第3導電層（以後の工程により制御ゲート50となる）を順次に積層する第6段階、前記第3導電層上に第1絶縁膜52を形成する第7段階、図2のマスクパターン130を用いた写真食刻工程で前記第1絶縁膜、第3及び第2導電層、誘電体物質層及び浮遊ゲートパターンを食刻することにより浮遊ゲート46、誘電体膜48及び制御ゲート50を形成する第8段階、前記第8段階から得られた結果物の全面に感光膜を塗布する第9段階、図2のマスクパターン140を用いた写真工程によりドレインが形成される領域の半導体基板を露出させる第2感光膜パターン54を形成する第10段階及び第1導電層の不純物を低濃度でドーピングして第1導電層の低濃度不純物層56を形成した後、第2導電層の不純物を第1高濃度でドーピングして第2導電層の第1高濃度不純物層58を形成することによりドレイン300を形成する第11段階とを含む。

【0030】LOCOS工程に用いられる窒化膜は磷酸を使用した湿式食刻で取り除き、多結晶シリコンは乾式食刻し、パッド酸化膜は湿式食刻する。前記第1段階後、後続段階で形成されるゲート絶縁膜44の膜質を改善するために、約500Å程度の厚さの犠牲酸化膜を成長させた後、湿式食刻でこれを取り除く段階を行うこともできる。

【0031】前記ゲート絶縁膜44は酸化膜を約100Å程度の厚さに成長させて形成する。前記第1導電層は多結晶シリコンを約1500Å程度の厚さに堆積して形成する。この際、前記多結晶シリコンはバルク抵抗を減らすためにPOCl₃でドーピングされる。POCl₃のドーピングされた多結晶シリコンの抵抗は約50Ω/□となる。

【0032】浮遊ゲートパターンはY軸方向、即ち、活性領域上に長棒状で形成される。かつ、前記活性領域を完全に覆うだけでなく、前記フィールド酸化膜43とは部分的に重畳されて形成される。誘電体膜48は約100Å程度厚さの酸化膜、約150Å程度厚さの窒化膜及び30 \sim 50Å程度厚さの酸化膜を順次に積層して形成する。

【0033】第2導電層としては50Ω/□の抵抗を有するようにPOCl₃を堆積した多結晶シリコンが使用され、第3導電層としてはシリサイド、例えば、タングステンシリサイド(WSi₂)を用いる。前記第2及び第3導電層は、それぞれ例えば、1500Å程度厚さに形成する。したがって、制御ゲート50は多結晶シリコンとタングステンシリサイドが積層されたポリサイド構造を有する。

【0034】また、前記制御ゲート50はX軸方向に長棒状で形成される。即ち、X軸方向に配置された隣接するセルトランジスタと共有される。この際、浮遊ゲート

46は、前記図2の図面符号Fを参照すれば、各セルトランジスタに限定されていることがわかる。前記第8段階（自己整合食刻工程）は、前記第1絶縁膜を食刻して第1絶縁膜パターン52を形成する段階及び前記第1絶縁膜パターン52を食刻マスクとして第3及び第2導電層、誘電物質層及び浮遊ゲートパターンを食刻する段階に分けて行える。この際、前記第1絶縁膜は約3000Å程度の厚さに形成することが望ましい。

【0035】前記第1導電型の低濃度不純物層56は、例えばボロンのようなP型の不純物を1.0E13～1.0E14イオン/cm²ドーズ、50～150keVのエネルギーで注入して形成され、前記第2導電型の第1高濃度不純物層58は、例えば、砒素のようなN型の不純物を1.0E15～6.0E15イオン/cm²ドーズ、30～80keVのエネルギーで注入して形成される。

【0036】前記第1段階後、約850～950℃で熱処理を行うことにより、前記第1導電型の低濃度不純物層56が第2導電型の高濃度不純物層58を取り囲むドレイン構造を形成する。前記ドレイン300はプログラム動作時、ホット電子を多く発生させる。また、前記熱処理工程時、約100～200Å程度厚さの酸化膜を成長させて浮遊ゲート46とドレイン300の重畳部位にあるゲート絶縁膜44を些か厚く成長させることにより、セル動作時に生じる電圧のストレスを緩和させる。

【0037】図32及び図33はソース400及びスペーサ62を形成する工程を示したものであり、これは第2感光膜パターン54を取り除く第1段階、第2導電型の不純物を低濃度でドーピングして第2導電型の低濃度不純物層60を形成する第2段階、第2絶縁膜（以後の工程によりスペーサ62となる）を前記第2導電型の低濃度不純物層60が形成されている半導体基板の全面に形成する第3段階と、ポケットウェル34が露出されるように前記第2絶縁膜を乾式食刻することによりゲート電極46～50の側壁にスペーサ62を形成する第4段階及び第2導電型の不純物を第2高濃度でドーピングして第2導電型の第2高濃度不純物層64を形成することにより前記ソース400を完成する第5段階とを含む。

【0038】前記第2導電型の低濃度不純物層60は、例えば、燐のようなN型の不純物を1.0E13～5.0E13イオン/cm²のドーズ、30～80keVのエネルギーで注入して形成し、前記第2導電型の第2高濃度不純物層64は、例えば、砒素のようなN型の不純物を約6.0E15イオン/cm²のドーズ、30～100keVのエネルギーで注入して形成される。

【0039】第2絶縁膜は酸化膜を約2000Å程度の厚さに積層して形成する。前記第2乃至第5段階により、メモリセルトランジスタのソースはLDD構造を有する。図16及び図17は埋設導電層66、68を形成する工程を示したものであり、これはスペーサ62が形

成されている結果物の全面に、第4導電層64をスペーサ間の溝を完全に埋め込む程度の厚さに形成する第1段階及び前記第4導電層をエッチバックしてスペーサ間の溝を埋め込む程度に第4導電層を残すことにより埋設導電層66、68を形成する第2段階を含む。

【0040】前記第4導電層64としては不純物のドーピングされた多結晶シリコンを使用する。この際、第4導電層64の厚さはスペーサ間の間隔の1/2より大きくなければならない。前記埋設導電層66、68は、ビットライン（図示せず）とドレイン300を接続させるためのコンタクトホール形成時（以後に行われる）、コンタクトホールの深さを著しく縮めて誤接続を防止する役割を果たす。

【0041】前記埋設導電層66、68は、図3を参照するとき、X軸方向に長棒状で形成されていることがわかる。即ち、ソース400上に形成された埋設導電層66はX軸方向に隣接するセルトランジスタのソース（図示せず）と連結されており、ドレイン300上に形成された埋設導電層68はX軸方向に隣接するセルトランジスタのドレイン（図示せず）と連結されている（図3の図面符号G参照）。

【0042】図18及び図19は共通ソース線（図示せず）形成のための第3絶縁膜パターン72を形成する工程を示したものであり、これは埋設導電層66、68が形成されている半導体基板の全面に第5導電層70を形成する第1段階と、前記第5導電層70上に第3絶縁膜（以後の工程により共通ソース線及びパッド層（図20の図面符号71、73）となる）を形成する第2段階、前記第3絶縁膜上に感光膜を塗布する第3段階、図3のマスクパターン150を用いた写真工程を行って共通ソース線形成のための第3感光膜パターン74を形成する第4段階、前記第3感光膜パターン74を食刻マスクとし、第3絶縁膜を食刻対象物とする乾式食刻を行って第3絶縁膜パターン72を形成する第5段階とを含む。

【0043】第5導電層70としてはシリサイドを用いる。本発明ではタングステンシリサイド（WSi₂）を約1500Å程度の厚さに堆積して前記第5導電層70を形成した。第3絶縁膜として約1500Å程度の厚さの酸化膜を使用する。酸化膜の代わりに窒化膜を使用する場合もある。即ち、前記第3絶縁膜を構成する物質としては、任意の食刻工程に対して前記第5導電層70を構成する物質とは異なる食刻率を有する絶縁物質ならいずれもよい。

【0044】前記第3絶縁膜パターン72はX軸方向に長棒状で形成される。即ち、ソース400上に形成された埋設導電層66と平行に形成される。図20及び図21は共通ソース線71及びパッド層73を形成する工程を示したものであり、これは第3感光膜パターン（図18の図面符号74）を取り除く第1段階、前記第3感光膜パターンを取り除いた半導体基板の全面に感光膜を再

塗布する第2段階、図4のマスクパターン160を用いた写真工程を行い、パッド層73の形成のための第4感光膜パターン76を形成する第3段階、前記第3絶縁膜パターン72及び第4感光膜パターン76を食刻マスクとして第5導電層(図18の図面符号70)及び埋没導電層(図18の図面符号66、68)を乾式食刻するので、第1埋没導電層66、第2埋没導電層69、共通ソース線71及びパッド層73を形成する第4段階とを含む。

【0045】第1埋没導電層66は図3に示したように(図3の図面符号G)、X軸方向に長棒状であり、第2埋没導電層69は各セルトランジスタのドレインとそれぞれ接続し、各セルトランジスタに限定される(図4のマスクパターン160とX軸方向の長さが同一である)。共通ソース線71は前記第1埋没導電層66と平行に配置され、前記第1埋没導電層66を完全に覆うように形成される。また、前記第1埋没導電層66を通してソース400と接続される。

【0046】パッド層73は前記第2埋没導電層69と平行に配置され、前記第2埋没導電層69を完全に覆うように形成される。また、前記第2埋没導電層69を通してドレイン300と接続される。図4に示したように、共通ソース線71及び第1埋没導電層66はX軸方向に隣接するセルトランジスタのソースと共有されるが、パッド層73及び第2埋没導電層69は各セルトランジスタに限定される。

【0047】図18と図19、図20と図21を参照すれば、共通ソース線71とパッド層73は相異なる写真食刻により形成される。即ち、共通ソース線71は第3絶縁膜パターン72を食刻マスクとする食刻工程により形成されるが、パッド層73は第4感光膜パターン76を食刻マスクとする食刻工程により形成される。この際、前記第3絶縁膜パターン72と第4感光膜パターン76は二回の相異なる写真工程で形成される。

【0048】したがって、前記工程により形成された共通ソース線71とパッド層73との間隔はデザインルールにより限定されない。即ち、共通ソース線71とパッド層73との間隔はミスアライン(misalign)限界まで縮ませる。図22及び図23はビットライン80を形成する工程を示したものであり、これは共通ソース線71及びパッド層73が形成されている半導体基板の全面に例えば、酸化膜及びボロン-リンイオンがドーピングされているシリコン(BPSG)を蒸着して層間絶縁層78を形成する第1段階、図5のマスクパターン170を用いた写真食刻工程で前記層間絶縁層を部分的に食刻することによりパッド層73を露出させるコンタクトホール79を形成する第2段階及び結果物の全面に前記コンタクトホール79を埋め込むように第6導電層(以後の工程によりビットライン80となる)を蒸着した後、これを図5のマスクパターン180を用いた写真食刻工程でパ

ニングすることによりビットライン80を形成する第3段階とを含む。

【0049】ボロン-リンイオンのドーピングされたシリコンは段差塗布性を良好にするために、950℃で約30分間、窒素(N₂)雰囲気中で熱処理してリフローさせる。第6導電層として、例えば、アルミニウムを使用する。ビットライン80はY軸方向に長棒状で形成され、Y軸方向に隣接するセルトランジスタのドレイン(図示せず)と共有される。

10 【0050】

【第2実施例】図24乃至図28は前記図3乃至図5のAA'線による断面図であり、本発明の第2実施例の方法を説明するために示したものである。図25乃至図29は前記図3ないし図5のB-C-D-E線による断面図であり、本発明の第2実施例の方法を説明するために示したものである。

【0051】第1実施例では、共通ソース線71とパッド層73を形成するために、第5導電層(図18の図面符号70)の上に、共通ソース線形成のための第3絶縁膜パターン(図18の図面符号72)を先に形成した後、パッド層形成のための第4感光膜パターン(図20の図面符号76)を形成したが、本実施例では第5導電層上にパッド層形成のための絶縁膜パターン72aを先に形成した後(図24及び図25参照)、共通ソース線形成のための感光膜パターン77を形成した(図26及び図27参照)。

【0052】前記第1実施例の方法によれば、絶縁膜パターン72aが共通ソース線71の上に形成されるが(図22参照)、本実施例の方法によれば、絶縁膜パターン72aがパッド層73の上に形成される(図28参照)ということがわかる。

【0053】

【第3実施例】図30は本発明の第3実施例による不揮発性メモリ素子の製造に使用されるレイアウト図である。図31は前記図30のB-C-D-E線による断面図であり、本発明の第3実施例の方法を説明するために示したものである。

【0054】本実施例は不揮発性メモリのゲート電極の側壁に形成されるスペーサに関する。第1実施例の場合、スペーサを形成するための別途のマスクパターンが不要であるが(図32及び図33参照)、本実施例ではスペーサ形成のための別途のマスクパターン190を使用した。本実施例では、スペーサ82形成のための食刻工程時、フィールド酸化膜上に感光膜よりなる食刻マスク84を形成した。したがって、活性領域側には前記図32のようなスペーサ62が形成され、フィールド酸化膜側には図31のような絶縁膜パターン82が形成された。

【0055】本実施例は段差を改善するために提案された方法であって、後続く工程時にフィールド酸化膜側は

絶縁膜パターン 82 により段差が減る効果がある。

【0056】

【第 4 実施例】図 32 は本発明の第 4 の他の実施例による不揮発性メモリ素子の製造に使用されるレイアウト図である。図 33 は前記図 32 の B-C-D-E 線による断面図であり、本発明のさらに他の実施例の方法を説明するために示したものである。

【0057】本実施例は前記第 3 実施例と同一な効果を達成するためのものであり、メモリセルトランジスタのドレインとドレインと間のフィールド酸化膜とを覆うマスクパターン 200 を用いる。本実施例によれば、ドレインとドレインとの間のフィールド酸化膜とを覆う感光膜パターン 94 を用いた食刻工程を行うことにより、フィールド酸化膜 43 の上には絶縁膜パターン 92 が残存し、フィールド参加膜 43 上の感光膜パターン 92 により覆われない不揮発性メモリのゲート電極の他の側壁にのみスペーサ 62 が形成される。

【0058】

【発明の効果】したがって、本発明による不揮発性メモリ装置及びその製造方法によれば、第一、共通ソース線とパッド層は相異なる写真食刻工程により形成されるので、両子間の間隔を縮めるに制限がなくて集積度の向上が容易である。第二、各セルのゲート電極間のソース/ドレイン上に形成された溝に埋没導電層を埋め込んだ後、ビットラインをドレインに接続させるためのコンタクトホールを形成するので、コンタクトホールの深さを低めて誤接続を防止する。第三、タングステンをコンタクトホールに埋め込む工程がないので、埋め込まれたタングステンにより生じる問題も防止する。

【0059】本発明は前記実施例に限定されず、多くの変形が本発明の技術的な思想内で当分野での通常の知識を持つ者により可能なのは明白である。

【図面の簡単な説明】

【図 1】従来の方法により製造された不揮発性メモリ素子を示した断面図である。

【図 2】本発明の第 1 及び第 2 実施例による不揮発性メモリ素子の製造に使用されるレイアウト図である。

【図 3】本発明の第 1 及び第 2 実施例による不揮発性メモリ素子の製造に使用されるレイアウト図である。

【図 4】本発明の第 1 及び第 2 実施例による不揮発性メモリ素子の製造に使用されるレイアウト図である。

【図 5】本発明の第 1 及び第 2 実施例による不揮発性メモリ素子の製造に使用されるレイアウト図である。

【図 6】本発明の第 1 実施例により製造された不揮発性メモリ素子の断面図である。

【図 7】本発明の第 1 実施例により製造された不揮発性メモリ素子の断面図である。

【図 8】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 9】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 10】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 11】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

10 【図 12】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 13】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 14】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

20 【図 15】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 16】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 17】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

30 【図 18】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 19】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 20】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 21】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

40 【図 22】前記図 2 乃至図 5 の AA' 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 23】前記図 2 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 1 実施例の方法を説明するために示したものである。

【図 24】前記図 3 乃至図 5 の AA' 線による断面図であり、本発明の第 2 実施例の方法を説明するためのものである。

50 【図 25】前記図 3 乃至図 5 の B-C-D-E 線による断面図であり、本発明の第 2 実施例の方法を説明するた

めに示したものである。

【図26】前記図3乃至図5のAA'線による断面図であり、本発明の第2実施例の方法を説明するためのものである。

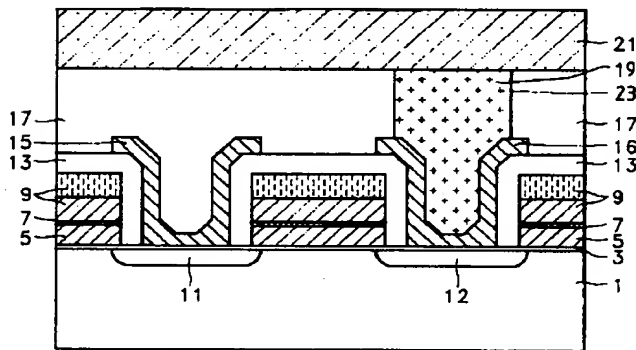
【図27】前記図3乃至図5のB-C-D-E線による断面図であり、本発明の第2実施例の方法を説明するために示したものである。

【図28】前記図3乃至図5のAA'線による断面図であり、本発明の第2実施例の方法を説明するためのものである。

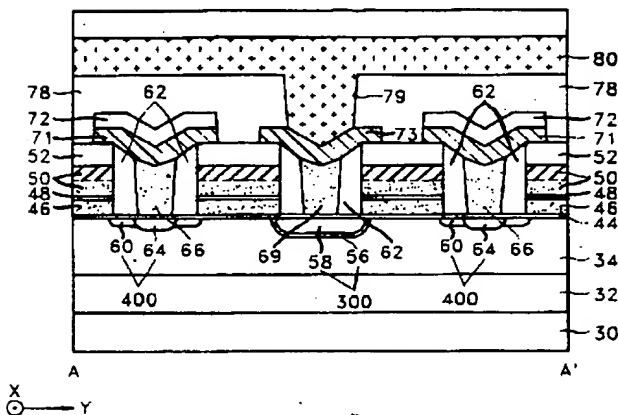
【図29】前記図3乃至図5のB-C-D-E線による断面図であり、本発明の第2実施例の方法を説明するために示したものである。

【図30】本発明の第3実施例による不揮発性メモリ素

【図1】



【図6】



子の製造に使用されるレイアウト図である。

【図31】前記図30のB-C-D-E線による断面図であり、本発明の第3実施例の方法を説明するために示したものである。

【図32】本発明の第4実施例による不揮発性メモリ素子の製造に使用されるレイアウト図である。

【図33】前記図32のB-C-D-E線による断面図であり、本発明の第4実施例の方法を説明するために示したものである。

10 【符号の説明】

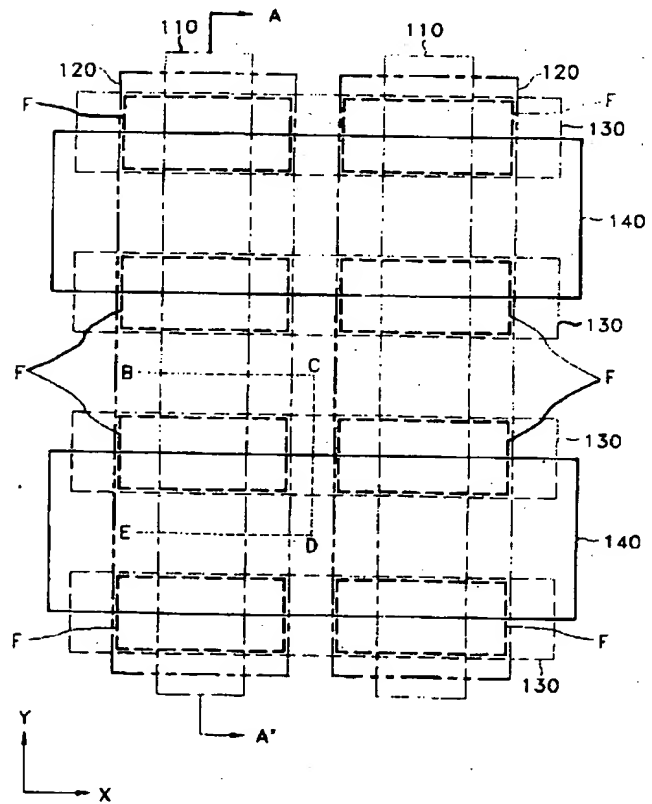
66 第一埋没導電層

69 第二埋没導電層

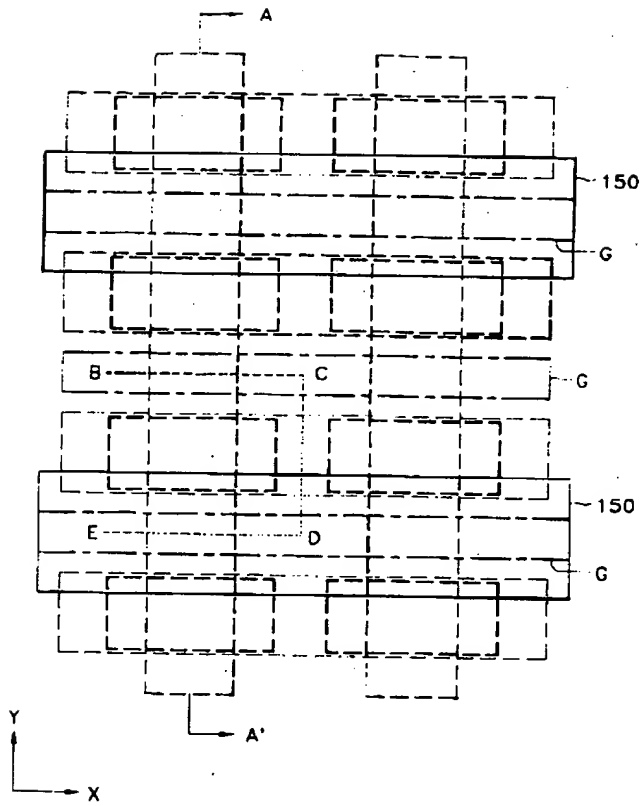
300 ドレイン

400 ソース

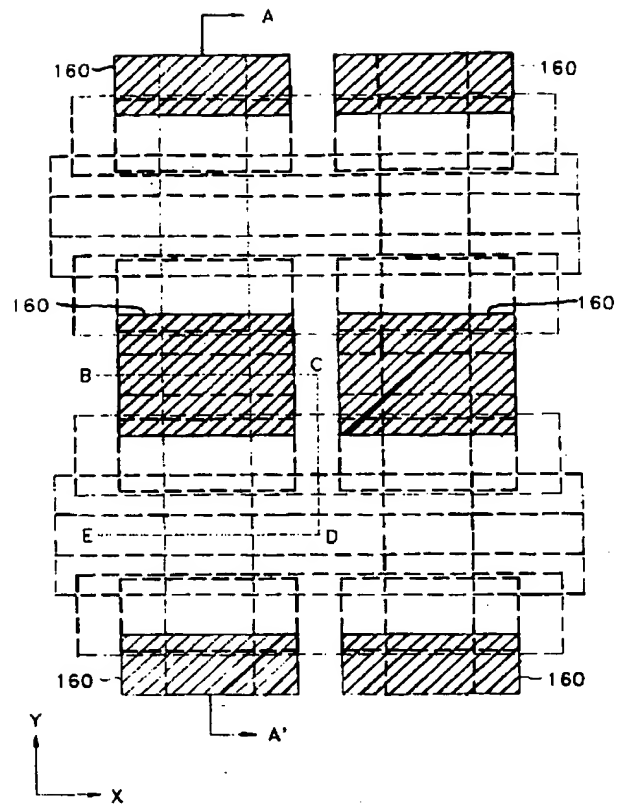
【図2】



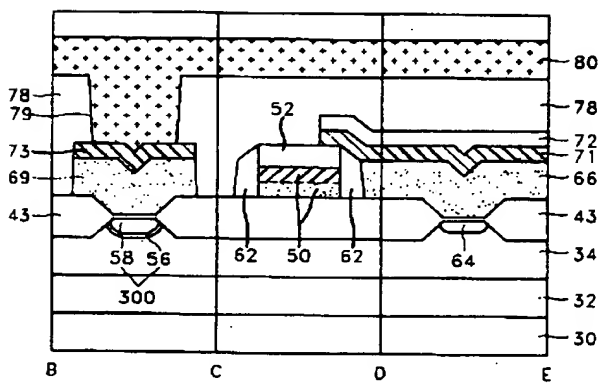
【図 3】



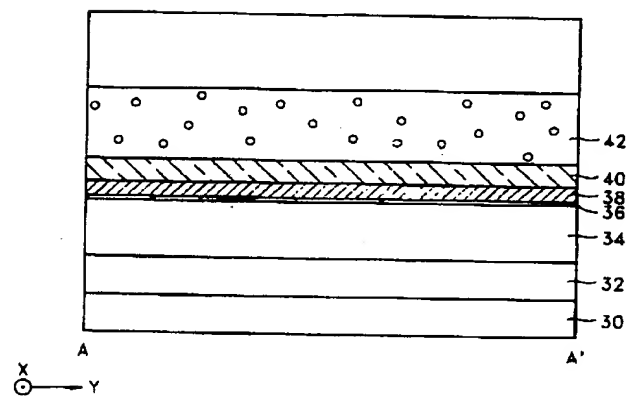
【図 4】



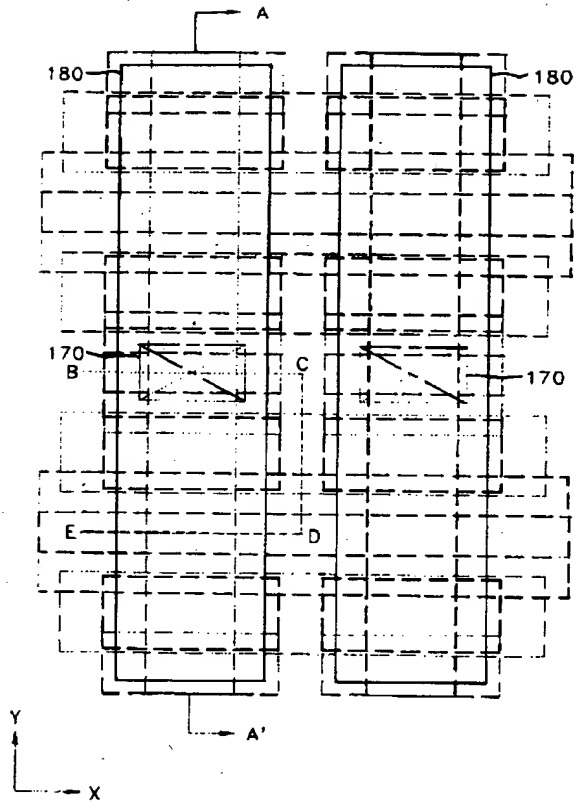
【図 7】



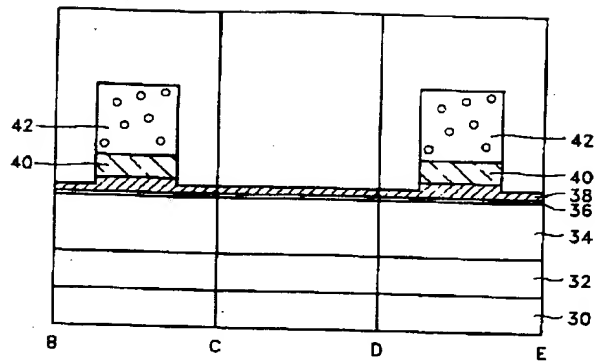
【図 8】



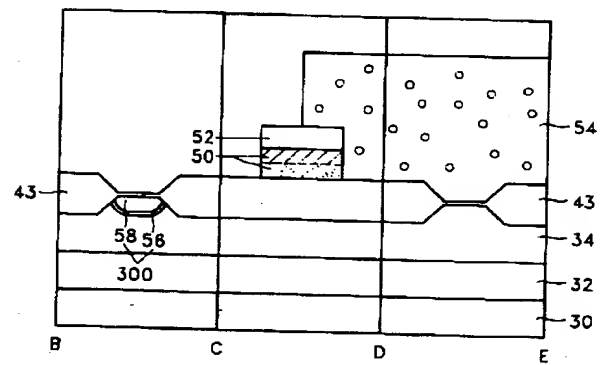
【図 5】



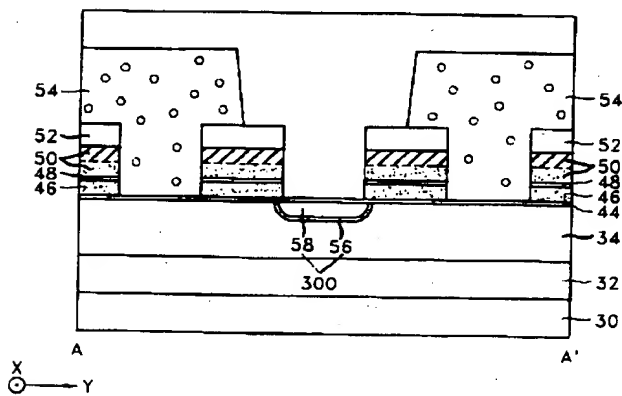
【図 9】



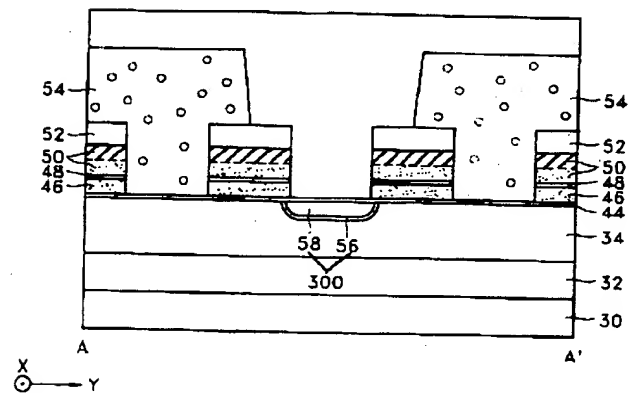
【図 11】



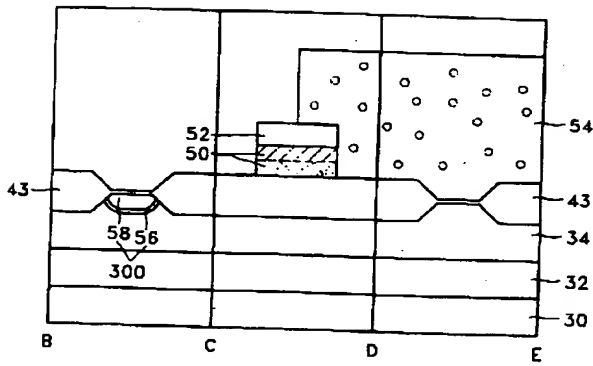
【図 10】



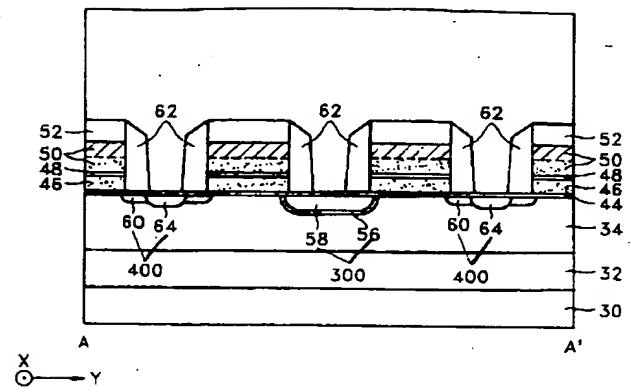
【図 12】



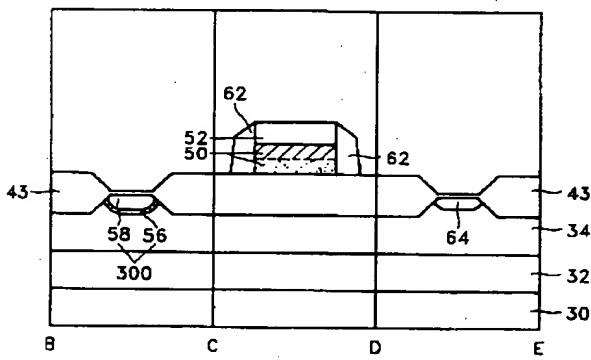
【図13】



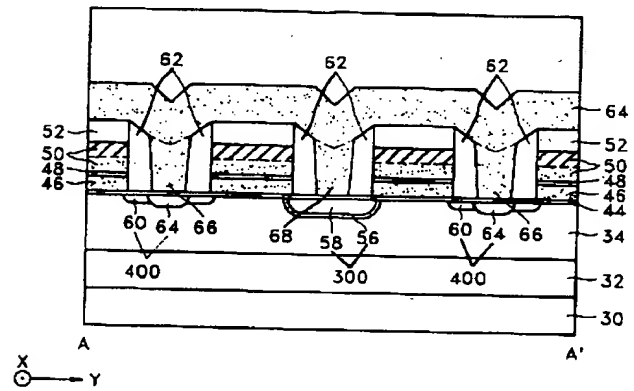
【図14】



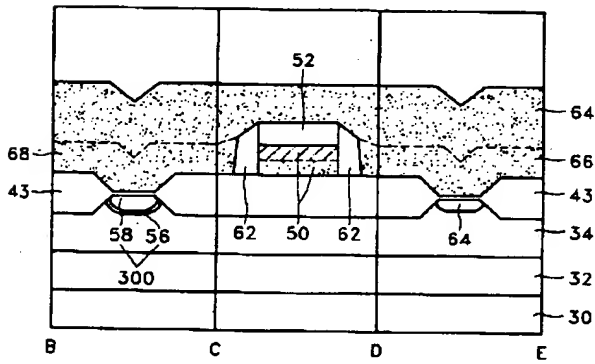
【図15】



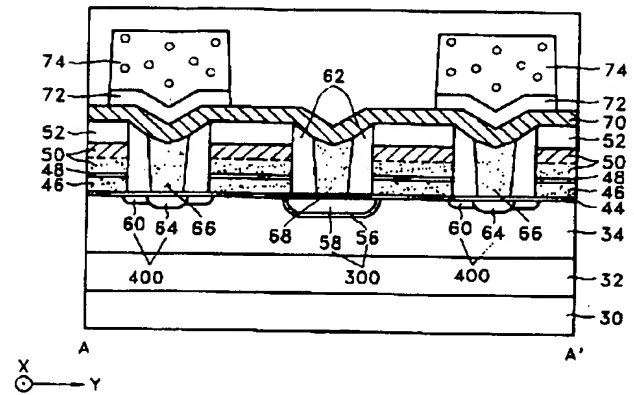
【図16】



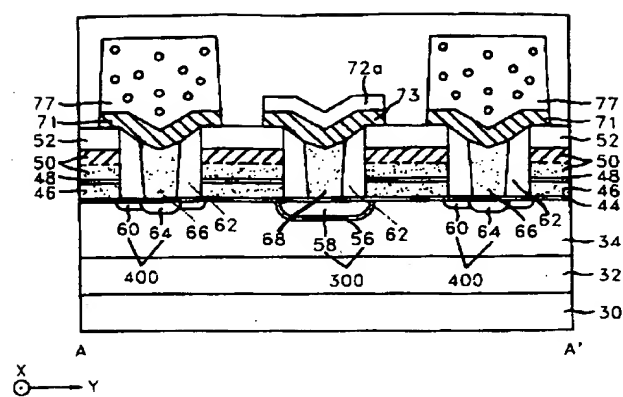
【図17】



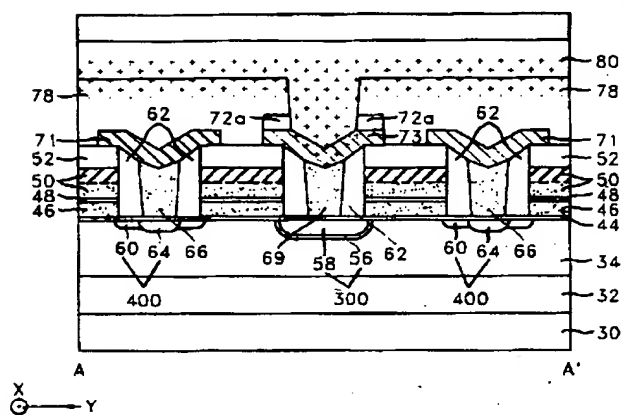
【図18】



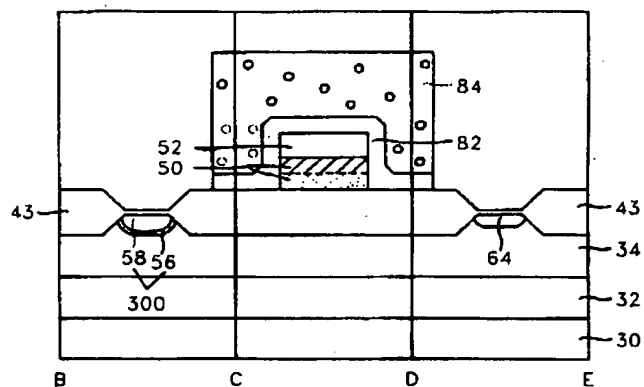
【图 26】



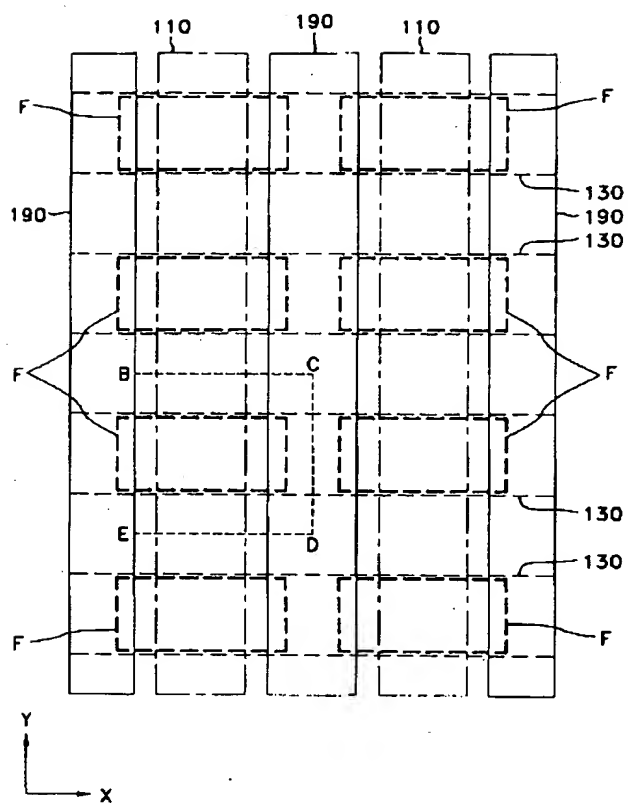
【图 28】



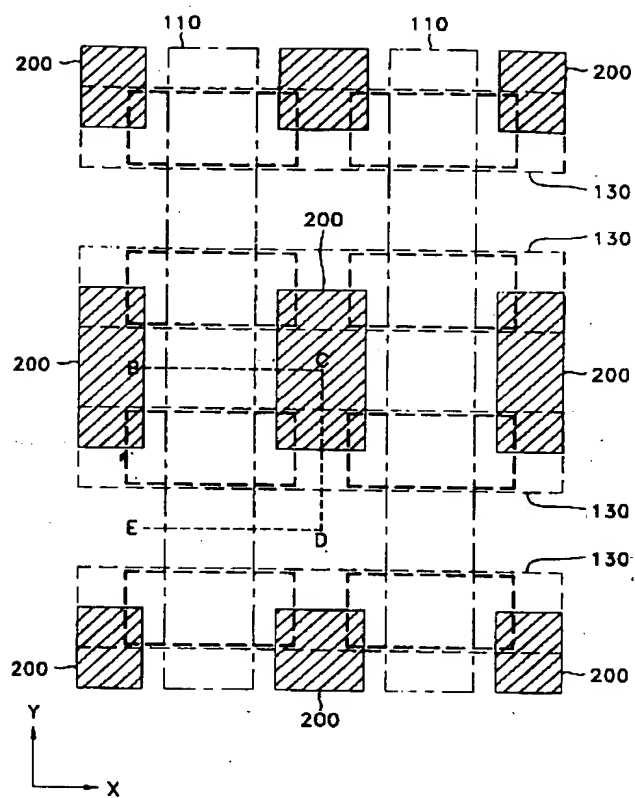
【図 3 1】



【図 30】



【図 32】



【図 33】

